

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-037838  
(43)Date of publication of application : 10.02.1994

(51)Int.Cl.

H04L 27/38  
H04L 1/00  
H04L 7/00  
H04L 7/02

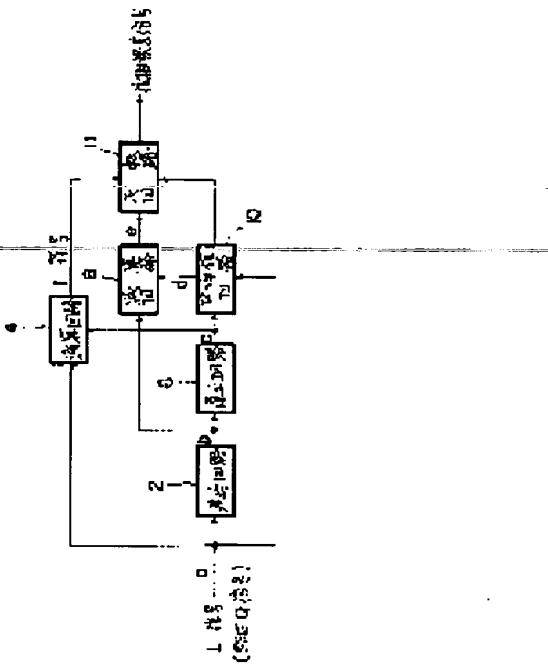
(21)Application number : 04-207242  
(22)Date of filing : 10.07.1992

(71)Applicant : SONY CORP  
(72)Inventor : YADA HARUHIKO

## (54) METHOD AND CIRCUIT FOR CLOCK PHASE ERROR DETECTION

### (57)Abstract:

PURPOSE: To detect a clock phase error by using the simple arithmetic circuits for the delay, addition, subtraction, inversion, etc., in place of the complicated differential and squaring circuits, etc.  
CONSTITUTION: A delay circuit 2 outputs a 1st delay signal (b) obtained by delaying the input signal (a) of a signal I or Q obtained from the synchronization detection by the 1-clock time. A delay circuit 6 outputs a 2nd delay signal (c) obtained by delaying the signal (b) by a single clock. An average circuit 10 outputs an addition average signal (d) by adding and averaging the signals (a) and (c). A subtractor circuit 8 outputs a 1st difference signal (e) obtained by subtracting the signal (d) from the signal (b). A subtractor circuit 4 outputs a 2nd difference signal (f) obtained by subtracting the signal (a) from the signal (c). An inverting circuit 11 outputs the signal (e) as it is as a clock phase error signal when the code of the signal (f) is positive and then outputs the signal (e) after inverting it as a clock phase error signal when the code of the signal (f) is negative respectively.



### LEGAL STATUS

[Date of request for examination] 12.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-37838

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl.<sup>5</sup>

H 04 L 27/38

1/00

7/00

識別記号

庁内整理番号

F I

技術表示箇所

A 9371-5K

F 7928-5K

9297-5K

7928-5K

H 04 L 27/00

7/02

G

Z

審査請求 未請求 請求項の数3(全7頁) 最終頁に続く

(21)出願番号

特願平4-207242

(22)出願日

平成4年(1992)7月10日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 矢田 晴彦

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

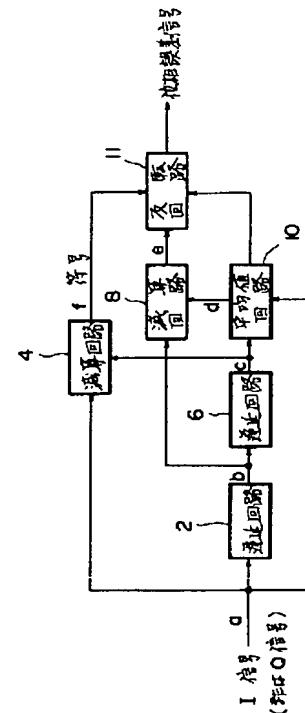
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 クロック位相誤差検出方法および回路

(57)【要約】

【目的】 簡単な構成で、クロック位相誤差を検出できるようにする。

【構成】 遅延回路2は、同期検波により得られたI信号またはQ信号のどちらかである入力信号aを1クロック時間遅延させた第1遅延信号bを発生し、遅延回路6は、第1遅延信号bを1クロック時間遅延させた第2遅延信号cを発生し、平均値回路10は、入力信号aと第2遅延信号cとを加算平均した加算平均信号dを発生し、減算回路8は、第1遅延信号bから加算平均信号dを差し引いた第1差信号eを発生し、減算回路4は、第2遅延信号cから入力信号aを差し引いて第2差信号fを発生し、反転回路11は、第2差信号fの符号が正のときには、第1差信号eをそのままクロック位相誤差信号として出力し、第2差信号fの符号が負のときには、第1差信号eを反転させてクロック位相誤差信号として出力する。



## 【特許請求の範囲】

【請求項1】 多値QAM復調におけるクロック位相誤差検出方法であって、同期検波により得られたI信号およびQ信号のどちらかである入力信号を1クロック時間遅延させた第1遅延信号を発生し、前記第1遅延信号を1クロック時間遅延させた第2遅延信号を発生し、前記入力信号と前記第2遅延信号とを加算平均した加算平均信号を発生し、前記第1遅延信号から前記加算平均信号を差し引いて第1差信号を発生し、前記第2遅延信号から前記入力信号を差し引いて第2差信号を発生し、前記第2差信号の符号が正のときには、前記第1差信号をそのままクロック位相誤差信号として出力し、前記第2差信号の符号が負のときには、前記第1差信号を反転させてクロック位相誤差信号として出力することを特徴とするクロック位相誤差検出方法。

【請求項2】 多値QAM復調におけるクロック位相誤差検出回路であって、同期検波により得られたI信号およびQ信号のどちらかである入力信号を1クロック時間遅延させた第1遅延信号を発生し、前記第1遅延信号を1クロック時間遅延させた第2遅延信号を発生する遅延手段と、前記入力信号と前記第2遅延信号とを加算平均した加算平均信号を発生する加算平均手段と、前記第1遅延信号から前記加算平均信号を差し引いて第1差信号を発生し、前記第2遅延信号から前記入力信号を差し引いて第2差信号を発生する減算手段と、前記第2差信号の符号が正のときには、前記第1差信号をそのままクロック位相誤差信号として出力し、前記第2差信号の符号が負のときには、前記第1差信号を反転させてクロック位相誤差信号として出力する選択的信号反転手段とを備えることを特徴とするクロック位相誤差検出回路。

【請求項3】 多値QAM復調におけるクロック位相誤差検出回路であって、同期検波により得られたI信号およびQ信号のどちらかである入力信号を1クロック時間遅延させた第1遅延信号を発生する第1遅延素子と、前記第1遅延信号を1クロック時間遅延させた第2遅延信号を発生する第2遅延素子と、前記入力信号と前記第2遅延信号とを加算平均した加算平均信号を発生する第1演算素子と、前記第1遅延信号から前記加算平均信号を差し引いて第1差信号を発生する第2演算素子と、前記第2遅延信号から前記入力信号を差し引いて第2差信号を発生する第3演算素子と、前記第2差信号の符号が正のときには、前記第1差信号

をそのままクロック位相誤差信号として出力し、前記第2差信号の符号が負のときには、前記第1差信号を反転させてクロック位相誤差信号として出力する排他的論理和ゲートとを備えることを特徴とするクロック位相誤差検出回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、放送および通信の分野で利用されている多値QAM（直交振幅変調）復調において、データを復調するために必要なタイミングを変調信号から抽出するためのクロック再生回路に使用されるクロック位相誤差検出方法および回路に関する。

## 【0002】

【従来の技術】 図4は、多値QAM復調器の構成を示す。同期検波回路32は、QAM信号を同期直交検波してI信号を出力する。同期検波回路34は、QAM信号を同期直交検波してQ信号を出力する。多値判定回路36は、I信号を受けて多値判定を行い、判定結果を並列データの形で出力する。多値判定回路38は、Q信号を受けて多値判定を行い、判定結果を並列データの形で出力する。並列直列変換回路40は、多値判定回路36および38から出力される並列データを直列データに変換して、復調データとして出力する。

【0003】 他方、搬送波再生回路42は、同期検波回路32および34から出力されるI信号およびQ信号を受けて、同期検波回路32および34が同期直交検波を行うのに必要な基準搬送波を再生し、再生した基準搬送波を、同期検波回路32には直接、同期検波回路34には、 $\pi/2$ 移相器44を介して供給する。また、クロック再生回路46は、同期検波回路32および34から出力されるI信号およびQ信号のどちらかの信号（図4の例では、I信号）を受けて、再生クロック信号を出力する。

【0004】 図5は、従来のクロック再生回路の一例を示す。クロック位相誤差検出回路50は、I信号（またはQ信号）を微分する微分器52と、この微分器52の出力信号を2乗すなわち全波整流する2乗回路54と、この2乗器54の出力信号の位相を比較してクロック位相誤差信号を出力する位相比較器56とを含んで構成されている。ループフィルタ62は、クロック位相誤差信号を直流に変換する。電圧制御発振器64は、直流に変換された位相誤差信号に応じた周波数の再生クロック信号を発生する。

## 【0005】

【発明が解決しようとする課題】 上述した図5の従来のクロック位相誤差検出回路は、IまたはQ信号を構成するパルス列の微分および2乗という複雑な演算を必要とするため回路構成が複雑になるという問題がある。

【0006】 本発明は、このような状況に鑑みてなされたものであり、回路構成を簡単にできるクロ

ック位相誤差検出方法および回路を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】請求項1に記載のクロック位相誤差検出方法は、多値QAM復調におけるクロック位相誤差検出方法であって、同期検波により得られたI信号およびQ信号のどちらかである入力信号を1クロック時間遅延させた第1遅延信号（例えば、実施例の信号b）を発生し、第1遅延信号を1クロック時間遅延させた第2遅延信号（例えば、実施例の信号c）を発生し、入力信号と第2遅延信号とを加算平均した加算平均信号（例えば、実施例の信号d）を発生し、第1遅延信号から加算平均信号を差し引いて第1差信号（例えば、実施例の信号e）を発生し、第2遅延信号から入力信号を差し引いて第2差信号（例えば、実施例の信号f）を発生し、第2差信号の符号が正のときには、第1差信号をそのままクロック位相誤差信号として出力し、第2差信号の符号が負のときには、第1差信号を反転させてクロック位相誤差信号として出力することを特徴とする。

【0008】請求項2に記載のクロック位相誤差検出回路は、多値QAM復調におけるクロック位相誤差検出回路であって、同期検波により得られたI信号およびQ信号のどちらかである入力信号を1クロック時間遅延させた第1遅延信号を発生し、第1遅延信号を1クロック時間遅延させた第2遅延時間を発生する遅延手段（例えば、図1の実施例の遅延回路2および6）と、入力信号と第2遅延信号とを加算平均した加算平均信号を発生する加算平均手段（例えば、図1の実施例の平均値回路10）と、第1遅延信号から加算平均信号を差し引いて第1差信号を発生し、第2遅延信号から前記入力信号を差し引いて第2差信号を発生する減算手段（例えば、図1の実施例の減算回路4および8）と、第2差信号の符号が正のときには、第1差信号をそのままクロック位相誤差信号として出力し、第2差信号の符号が負のときは、第1差信号を反転させてクロック位相誤差信号として出力する選択的信号反転手段（例えば、図1の実施例の反転回路11）とを備えることを特徴とする。

【0009】請求項3に記載のクロック位相誤差検出回路は、多値QAM復調におけるクロック位相誤差検出回路であって、同期検波により得られたI信号およびQ信号のどちらかである入力信号を1クロック時間遅延させた第1遅延信号を発生する第1遅延素子（例えば、図2のD-フリップフロップ22）と、第1遅延信号を1クロック時間遅延させた第2遅延信号を発生する第2遅延素子（例えば、図2のD-フリップフロップ26）と、入力信号と第2遅延信号とを加算平均した加算平均信号を発生する第1演算素子（例えば、図2の全加算器30）と、第1遅延信号から加算平均信号を差し引いて第1差信号を発生する第2演算素子（例えば、図2の全加算器28）と、第2遅延信号から入力信号を差し引いて

第2差信号を発生する第3演算素子（例えば、図2の全加算器24）と、第2差信号の符号が正のときには、第1差信号をそのままクロック位相誤差信号として出力し、第2差信号の符号が負のときには、第1差信号を反転させてクロック位相誤差信号として出力する排他的論理和ゲート（例えば、図2の排他的ORゲート31）とを備えることを特徴とする。

#### 【0010】

【作用】請求項1および請求項2の構成のクロック位相誤差検出および回路方法においては、同期検波により得られたI信号およびQ信号のどちらかである入力信号が1クロック時間遅延させられて第1遅延信号が発生され、第1遅延信号が1クロック時間遅延させられて第2遅延信号が発生され、入力信号と第2遅延信号とが加算平均されて加算平均信号が発生され、第1遅延信号から加算平均信号が差し引かれて第1差信号が発生され、第2遅延信号から入力信号が差し引かれて第2差信号が発生され、第2差信号の符号が正のときには、第1差信号がそのままクロック位相誤差信号として出力され、第2差信号の符号が負のときには、第1差信号が反転させてクロック位相誤差信号として出力される。このように、遅延、加算、減算および反転といった簡単な演算のみで、クロック位相誤差信号を発生できる。

【0011】請求項3の構成のクロック位相誤差検出回路においては、第1遅延素子が、同期検波により得られたI信号およびQ信号のどちらかである入力信号を1クロック時間遅延させて第1遅延信号を発生し、第2遅延素子が、第1遅延信号を1クロック時間遅延させて第2遅延信号を発生し、第1演算素子が、入力信号と第2遅延信号とを加算平均して加算平均信号を発生し、第2演算素子が、第1遅延信号から加算平均信号を差し引いて第1差信号を発生し、第3演算素子が、第2遅延信号から入力信号を差し引いて第2差信号を発生し、排他的論理和ゲートが、第2差信号の符号が正のときには、第1差信号をそのままクロック位相誤差信号として出力し、第2差信号の符号が負のときには、第1差信号を反転させてクロック位相誤差信号として出力する。このように、遅延素子、全加算器等の演算素子、および排他的論理和ゲートを使用した簡単な回路によって、クロック位相誤差信号を発生できる。

#### 【0012】

【実施例】図1は、本発明のクロック位相誤差検出回路の一実施例の構成を示すブロック図である。遅延回路2は、図4の同期検波回路32および34により発生されたI信号およびQ信号のどちらかである入力信号aを1クロック時間遅延させて第1遅延信号bを発生し、この信号bを、遅延回路6の入力端子に供給するとともに、減算回路8のプラス入力端子に供給する。クロック信号の速度は、入力信号のデータレートの2倍である。

【0013】入力信号aは、また、減算回路4のマイナ

ス入力端子に供給される。遅延回路6は、第1遅延信号bを1クロック時間遅延させて第2遅延信号cを発生し、この信号cを、減算回路4のプラス入力端子に供給するとともに、平均値回路10に供給する。平均値回路10は、入力信号aと第2遅延信号cとを加算平均して加算平均信号dを発生し、この信号dを減算回路8のマイナス入力端子に供給する。減算回路8は、第1遅延信号bから加算平均信号dを差し引いて第1差信号eを発生し、この信号eを反転回路11に供給する。減算回路4は、第2遅延信号cから入力信号aを差し引いて第2差信号fを発生し、この信号fの符号を示す信号を反転回路11に供給する。

【0014】反転回路11は、第2差信号fの符号が正のときには、第1差信号eをそのままクロック位相誤差信号として出力し、第2差信号fの符号が負のときには、第1差信号eを反転させてクロック位相誤差信号として出力する。クロック位相誤差信号が正極性のときは、クロック位相が進んでいることを示し、クロック位相誤差信号が負極性のときは、クロック位相が遅れていることを示し、クロック位相誤差信号の大きさが、クロック位相のずれの程度を示す。

【0015】図2は、図1の実施例の具体的回路例であるディジタル信号処理による16QAMクロック位相誤差検出回路を示す。この例では、図1の遅延回路2および6が、それぞれ、D-フリップフロップ22および26により構成され、図1の減算回路4、減算回路8および平均値回路10が、それぞれ、全加算器24、26および30により構成され、図1の反転回路11が、排他的ORゲート31により構成されている。

【0016】全加算器24および28は、それぞれ、2の補数表現を使用して減算を行う。全加算器30は、信号aと信号dの加算を行い、全加算器28のマイナス入力端子へ出力信号dを供給する際に、信号dを1ビット右にシフトすることにより、2で割っている。排他的ORゲート31は、信号 $f = c - a$ の符号を示す信号すなわちサインビットを使用して、サインビットが「0」すなわち正のときには、信号eを反転させずにそのまま出力し、サインビットが「1」すなわち負のときには、信号eの極性を反転させて出力する。

【0017】図3は、図1または図2の回路の入力信号であるI信号またはQ信号、および出力信号であるクロック位相誤差信号の一例を示す。図2の回路に入力される信号は、ディジタル信号であるが、図3では、理解を容易にするために、アナログ信号の形で表現してある。

図3(a)は、クロック位相が進んでいる場合で、図1の減算回路8すなわち図2の全加算器28の出力信号 $e = b - d$ が正のときには、図1の減算回路4すなわち図2の全加算器24の出力信号 $f = c - a$ の符号は正であり、従って、図1の反転回路11すなわち図2の排他的ORゲート31から出力されるクロック位相誤差信号の極性は、正となる。

極性は、正となり、反対に、図1の減算回路8すなわち図2の全加算器28の出力信号 $e = b - d$ が負のときには、図1の減算回路4すなわち図2の全加算器24の出力信号 $f = c - a$ の符号は負であり、従って、図1の反転回路11すなわち図2の排他的ORゲート31から出力されるクロック位相誤差信号の極性は、正となる。

【0018】図3(b)は、クロック位相が進んでいない場合で、図1の減算回路8すなわち図2の全加算器28の出力信号 $e = b - d$ が零であり、従って、図1の反転回路11すなわち図2の排他的ORゲート31から出力されるクロック位相誤差信号の値も零となる。

【0019】図3(c)は、クロック位相が遅れている場合で、図1の減算回路8すなわち図2の全加算器28の出力信号 $e = b - d$ が正のときには、図1の減算回路4すなわち図2の全加算器24の出力信号 $f = c - a$ の符号は負であり、従って、図1の反転回路11すなわち図2の排他的ORゲート31から出力されるクロック位相誤差信号の極性は、負となり、反対に、図1の減算回路8すなわち図2の全加算器28の出力信号 $e = b - d$ が負のときには、図1の減算回路4すなわち図2の全加算器24の出力信号 $f = c - a$ の符号は正であり、従って、図1の反転回路11すなわち図2の排他的ORゲート31から出力されるクロック位相誤差信号の極性は、負となる。

【0020】このように、図1の実施例および図2の具体例によれば、簡単な回路構成で、クロック位相の進み量および遅れ量を示す位相誤差信号を発生させることができる。

#### 【0021】

【発明の効果】請求項1および請求項2のクロック位相誤差検出方法および回路によれば、同期検波により得られたI信号およびQ信号のどちらかである入力信号を1クロック時間遅延させて第1遅延信号を発生し、この第1遅延信号を1クロック時間遅延させて第2遅延信号を発生し、入力信号と第2遅延信号とを加算平均して加算平均信号を発生し、第1遅延信号から加算平均信号を差し引いて第1差信号を発生し、第2遅延信号から入力信号を差し引いて第2差信号を発生し、第2差信号の符号が正のときには、第1差信号をそのままクロック位相誤差信号として出力し、第2差信号の符号が負のときには、第1差信号を反転させてクロック位相誤差信号として出力するので、遅延、加算、減算および反転といった簡単な演算のみで、クロック位相誤差信号を発生できる。

【0022】請求項3のクロック位相誤差検出回路によれば、同期検波により得られたI信号およびQ信号のどちらかである入力信号を1クロック時間遅延させて第1遅延信号を発生する第1遅延素子と、第1遅延信号を1クロック時間遅延させて第2遅延信号を発生する第2遅延素子と、入力信号と第2遅延信号とを加算平均して加

算平均信号を発生する第1演算素子と、第1遅延信号から加算平均信号を差し引いて第1差信号を発生する第2演算素子と、第2遅延信号から入力信号を差し引いて第2差信号を発生する第3演算素子と、第2差信号の符号が正のときには、第1差信号をそのままクロック位相誤差信号として出力し、第2差信号の符号が負のときには、第1差信号を反転させてクロック位相誤差信号として出力する排他的論理和ゲートとによりクロック位相誤差信号を発生するので、遅延素子、全加算器等の演算素子、および排他的論理和ゲートを使用した簡単な回路によって、クロック位相誤差信号を発生できる。

#### 【図面の簡単な説明】

【図1】本発明のクロック位相誤差検出回路の一実施例の構成を示すブロック図である。

【図2】図1の実施例の具体的回路例であるディジタル信号処理による16QAMクロック位相誤差検出回路を示す論理回路図である。

【図3】図1または図2の回路の入力信号であるI信号またはQ信号、および出力信号であるクロック位相誤差信号の一例を示す図である。

【図4】多値QAM復調器の構成を示すブロック図である。

【図5】従来のクロック再生回路の一例を示すブロック図である。

#### 【符号の説明】

2 遅延回路

4 減算回路

6 遅延回路

8 減算回路

10 平均値回路

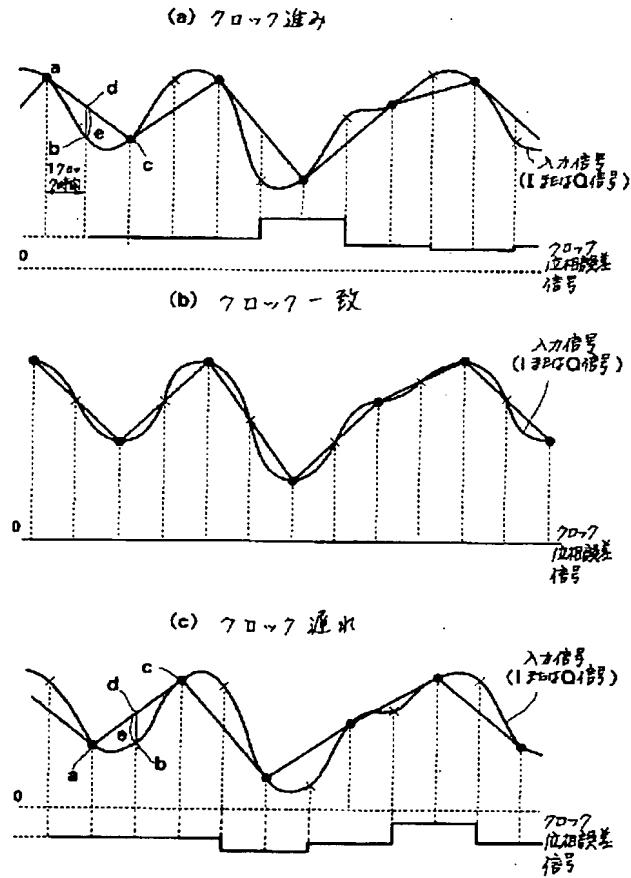
11 反転回路

22, 26 D-フリップフロップ

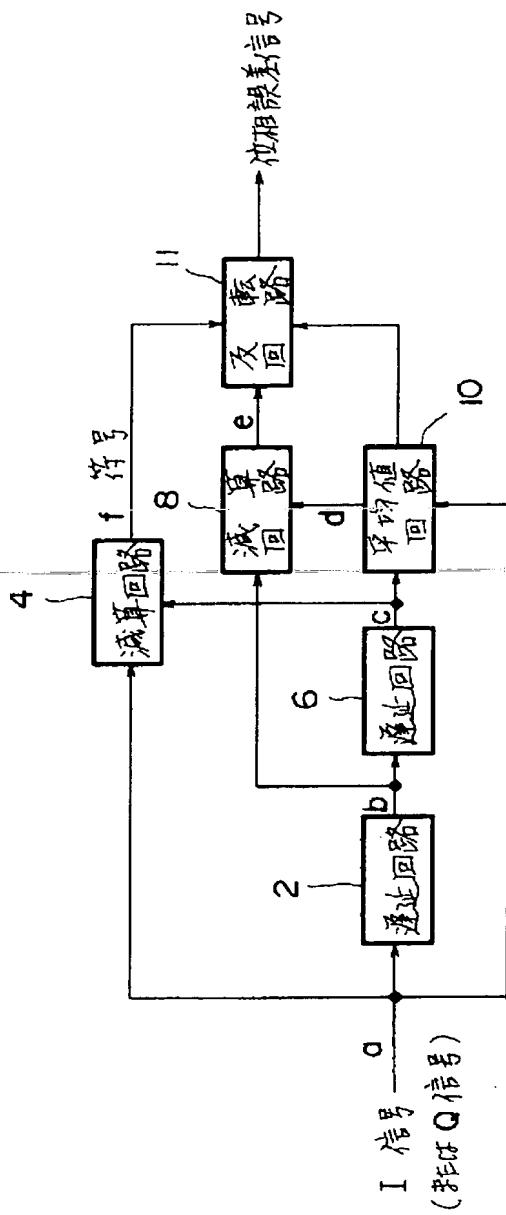
24, 28, 30 全加算器

31 排他的ORゲート

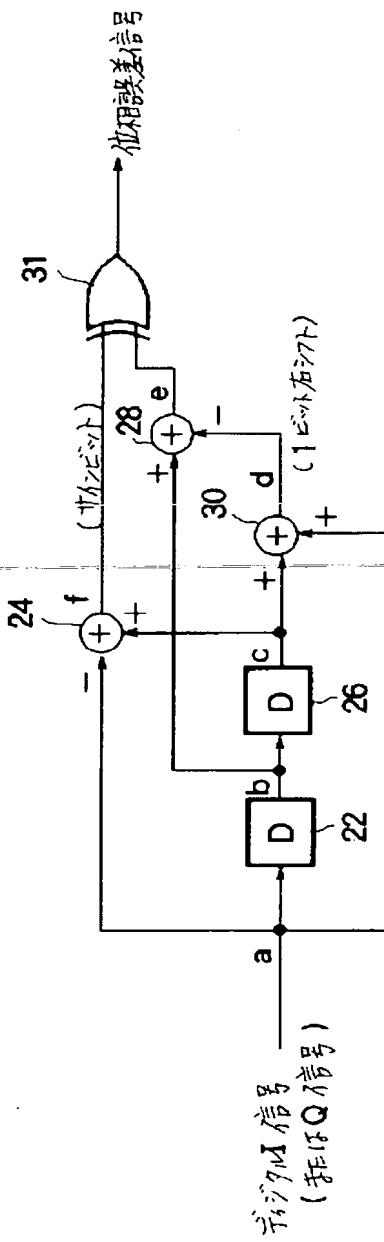
【図3】



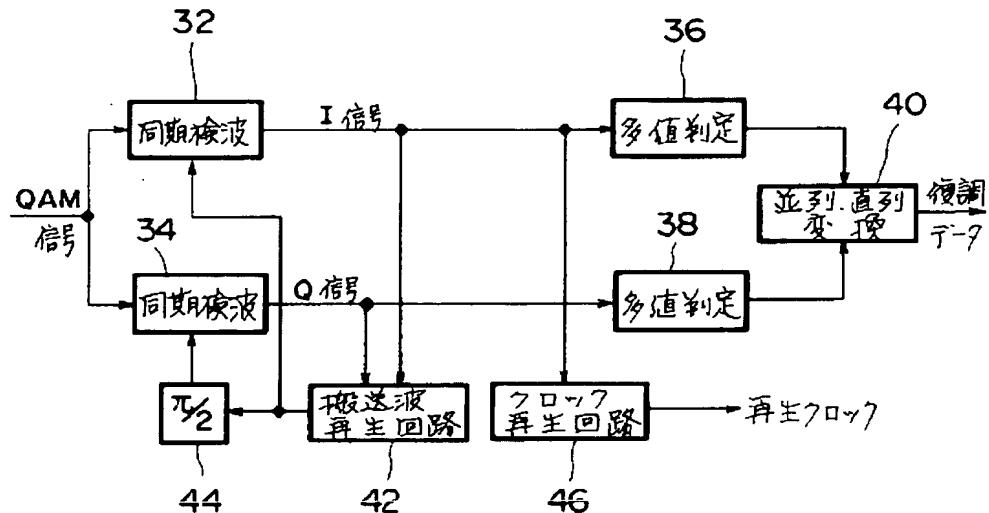
【図1】



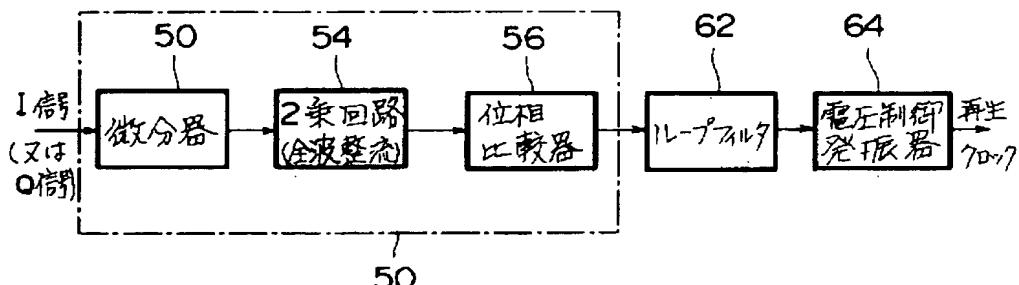
【図2】



【図4】



【図5】



フロントページの続き

(51) Int.C1. 5

識別記号

府内整理番号

F 1

技術表示箇所

H 0 4 L 7/02